

# 第10回 次世代電子実装システム技術講演会

2026年

9/11

金

14:30 - 17:00

会場定員

30名 KISTEC 海老名本部  
カンファレンスルーム

オンライン定員

100名

テーマ 電子デバイス集積技術に向けて

対象

当該テーマに関心のある方は  
どなたでも ご参加いただけます

多様化するMore than Moore の電子デバイスシステム  
集積技術に向けて、近年の先端実装技術の産業分野へ  
の展開、2.3D有機インターポーザ技術紹介および次世代  
実装技術の産官学連携開発体制構築を目指した研究会  
の情報を提供します。

14:30-14:35

オープニング 三橋 雅彦

電子技術部 デバイス材料担当副部長

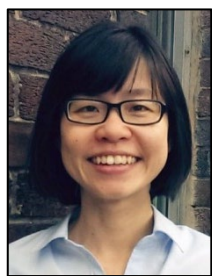
## 14:35-15:20 次世代電子実装システム技術研究会の取り組みについて

次世代実装技術の産官学連携開発体制構築を目指した研究会と各参画企業から研究開発テーマをご紹介します。  
参画企業：東レエンジニアリング株式会社、ソマール株式会社、株式会社ミットヨ、古河電気工業株式会社、  
日鉄ケミカル&マテリアル株式会社

根本 俊介

電子技術部 電子デバイスグループ

## 15:20-16:00 次世代半導体パッケージのための高速伝送路設計・解析技術



講師：林 瑛瑛氏

国立研究開発法人産業技術総合研究所  
センシング技術研究部門

AIチップの大型化に伴い、従来のシリコンインターポーザが抱えるサイズ制限やコスト課題の解決策として、大面積化と低コスト化を可能にする「有機インターポーザ」が注目を集めています。本発表では、有機インターポーザの微細配線におけるシグナルインテグリティ検証を目的に実施した、高速伝送路のシミュレーション解析結果について報告します。

## 16:00-16:30 極薄半導体チップ・光電融合デバイス向け実装技術の開発

近年、半導体デバイスの高性能化、小型化に伴い、半導体チップの薄型化や高密度実装への要求が高まっています。さらに、AIデータセンター向けの高速・低消費電力化を実現する光電融合技術の進展により、光デバイスを高スループットかつ高精度に実装する技術の重要性が増しています。一方で、薄型化された半導体チップは機械的強度が低く、搬送や位置決めなど、実装工程における取り扱いが課題となっています。

本講演では、東レエンジニアリングとKISTECが共同で進めている極薄半導体チップ実装技術の開発について紹介します。特に、極薄チップの搬送・配置を可能とするレーザー転写技術に着目し、その開発成果を報告するとともに、光電融合デバイス実装への適用可能性について展望します。



講師：岡田 達弥氏

東レエンジニアリング株式会社  
開発部門 開発部

16:30-16:40

エンディング

青柳

昌宏

卓越教授

熊本大学

半導体・デジタル研究機構 半導体部門

16:40-17:00

名刺交換

参加申し込みは、次世代電子実装システム技術研究会HPから  
お申し込み下さい。



こちらをクリックして下さい。



お問い合わせ：電子技術部 電子デバイスグループ 根本俊介 E-mail: sm-electronic\_devices\_g@kistec.jp

主催：地方独立行政法人神奈川県立産業技術総合研究所 (KISTEC)