

レーザー転写技術による 10 μ m 厚 Si チップのハンドリング

根本 俊介（電子技術部 電子デバイスグループ）

1. はじめに

昨今、ディープラーニングと AI の爆発的な需要に応えるため、半導体デバイスの高性能化と同時に消費電力の改善が求められている。これらを実現するため、電源線を短くでき、IR ドロップを抑制し、電力効率化と電力損失の減少が期待できる Back-Side Power Delivery Network (BSPDN) や配線長を短くし寄生容量を減らすことで、低消費電力を実現できるメモリ積層技術など研究開発が進められ、量産工程において薄型チップを実装およびハンドリング技術が求められている¹⁾²⁾。

これらの高度なプロセスで、ハンドリングおよび実装を実現する技術の一つとして、図 1 に示す UV レーザーを吸収しアブレーションする接着剤をガラス基板に備えることで極薄チップまたはウェハを剥離可能な Laser lift off (LLO) 法がある。

先端半導体では極薄ハンドリング技術が必要であり、次世代半導体の 10 μ m レベルの極薄ウェハやチップのハンドリングのプロセス開発が急務である。極薄のチップをハンドリングするためには、テープからテープへの転写、テープから基板への転写、基板から基板への転写がある。特に硬い基板から硬い基板への転写は基板を曲げることができず難易度が高い。

本研究では、極薄 Si チップのハンドリングプロセスとそれらを可能とする LLO 法を利用したレーザー転写技術について報告する。

Concept Image

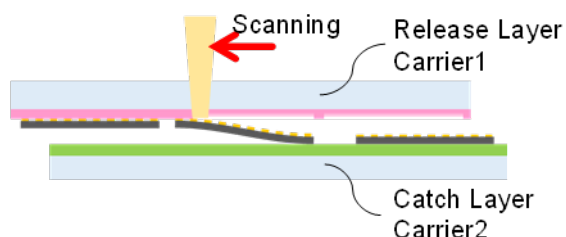


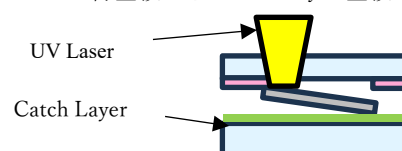
図 1 レーザー転写技術の原理

2. 実験方法

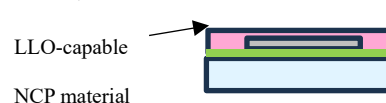
極薄ウェハのハンドリング

極薄のチップは、機械的強度が脆弱であり、Stealth Dicing (SD) プロセスや Plasma dicing (PD) プロセスを使用して抗折強度を高めている。本プロセスでは、安価なプロセス開発を実施するため、Blade Dicing (BD) を用いたダ

1. LLO 材基板から Catch Layer 基板への転写



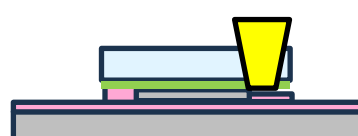
2. NCP 材の塗布



3. フリップチップ接合



4. LLO による NCP 部の剥離



5. Catch Layer ガラス基板の剥離



図 2 レーザー転写によるチップからウェハへの転写

イシングバックグラインドプロセスで極薄チップを作製した。

加工するサンプルは、8 インチの Si ウェハであり、ダイシングブレード: 粒径#3500 を用いて 7×7mm のサイズにチップ加工を行った後、バックグラインドで 10 μ m 厚に薄化した。

Dicing Before Grinding (DBG) を実施したチップの一部を切り出して、テープから LLO 材付きの基板転写を行った。

チップの配線側にある既存の DBG テープを新しいテープに、テープマウンター(テクノビジョン社製 FM-224)を使用して、DBG テープ上の DBG 加工済みのサンプルをリソテック社製(Adwill D-181)のテープに張り合わせを行った。これにより配線パターンの無い Si 面に新しいテ

ープが張り合わせられる。

その後、DBG テープに UV 照射し、DBG テープを剥離した。

極薄 Si チップをハンドリングするために、接着力のある LLO 材料を使用し、ガラス基板へスピンコートし 400-500 nm 厚の膜をつけた。

このガラス基板とチップを真空貼付装置（NEC プラットフォームズ社製 VTL-100）で張り合わせし、テープ側から UV 照射すると転写が完了する。

図 2 にレーザー転写技術によるチップ to ウェハの過程を示す。図 2 のレーザー転写装置で、LLO 材にレーザーを照射し Catch Layer を付けたガラス基板上に転写を行った(図 3)。転写後は、LLO 材の残渣が残るため、アセトン浸漬 1 min×2、IPA 浸漬 1 min×2 を行いエアブロー後、アッシング装置（東京応化工業社製 OPM-EM600）で 400 W 53 Pa 10 min でクリーニングを行った。次に、LLO 可能な Non Conductive Paste(NCP)材をガラス基板およびチップに塗布しベーク 50℃ 5 min で実施し、フリップチップ接合装置で実装(200℃ 100N)を行った。その後、LLO 材部については、レーザー照射しガラス基板と LLO-NCP 材の剥離を行った後ガラス基板の剥離を実施し、極薄チップの転写からハンドリングから実装まで実施した(図 4)。

3. 実験結果及び考察

極薄ウェハのハンドリングでは、#3500 のダイシングによる切り出し面の端部ではチップ内に亀裂がサンプルに入っているため、応力が亀裂に集中しやすい。ダイシングブレードの粒径は 3-4 μm であるため、研削による、断面粗さが亀裂に影響することを懸念していたが、テープ to テープへの移載やレーザー転写時、フリップチップ及び NCP 材による封止を実施したが、亀裂進展が発生しなかった。これは、研磨後の断面粗さが十分小さく亀裂として反応がなかったこと。各プロセスにおいて、受け側の接着層で受けることによって、衝撃や応力を吸収ができ、チップ内への亀裂進展を押さえられたためと考える。

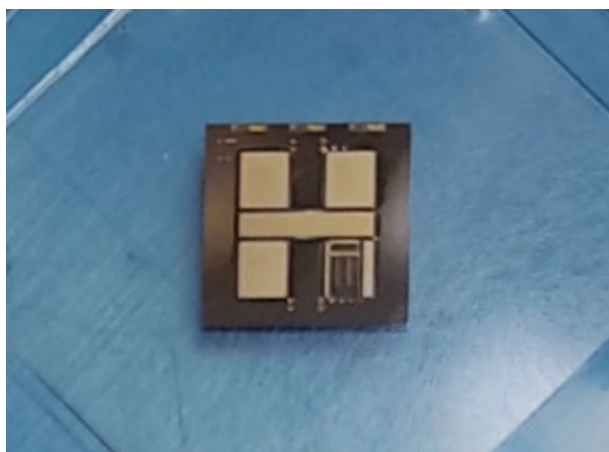
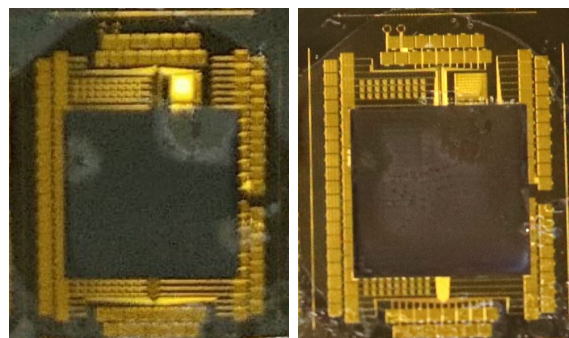


図 3 LLO 材基板から CATCH LAYER 基板への転写



(a)剥離前 (b)剥離後
図 4 LLO 法によるガラス基板の剥離前後サンプル

4. 今後の展開

本研究では、電力効率化と電力損失の減少が期待できる Back-Side Power Delivery Network (BSPDN) やメモリなどの配線長を短くし、寄生容量を減らすことで低消費電力を実現する極薄ウェハのハンドリング技術について報告を行った。テープ to テープ、テープ to ガラスへの転写のみではなく、ガラス to ガラスへの実装およびハンドリング技術を実現した。今後は、これら実装およびハンドリング技術をより簡易に取り扱うプロセス開発を実施していく予定である。

【参考文献】

1. Divya Prasad et al., 2019 IEEE International Electron Devices Meeting (IEDM), pp.446-449, (2019)
2. Norio Chujo et al., 2023 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits), pp. 1-2, (2023)

【謝辞】

この研究は次世代電子実装システム技術研究会の研究開発プロジェクトによって行われ、第 39 回エレクトロニクス実装学会春季講演大会で発表内容をまとめたものになります。本研究開発に携わったメンバーに感謝いたします。

詳細については以下の予稿をご確認下さい。

第 39 回エレクトロニクス実装学会春季講演大会

題目：次世代半導体に向けたレーザー転写技術による
極薄 Si チップのハンドリング

著者：根本俊介¹、岡田達弥²、藤重遥²、新井義之²、
瀬川繁昌³、林瑛瑛⁴、青柳昌宏⁵

所属：神奈川県立産業技術総合研究所¹、
東レエンジニアリング(株)²、ソマール(株)³、
産業技術総合研究所⁴、熊本大学⁵

電子実装システム技術研究会

<https://www.kistec.jp/nepstech/>