

チップレットアプリケーションに向けた 有機インターポーザ内配線の電気的特性評価

根本俊介（電子技術部電子デバイスグループ）

林瑛瑛，馮ウェイ，野村健一（（国研）産業技術総合研究所）

青柳昌宏（熊本大学）

1. はじめに

生成 AI アプリケーションの急増に伴い、高性能計算を支える強力な GPU やコア、および高帯域幅メモリ

(HBM) 技術の需要が高まっている。HBM モジュールの実装手法として、ロジックチップと CPU/GPU コアを高密度配線で接続する EMIB (Embedded Multi-die Interconnect Bridge) などのアプローチが採用されている。ここではシリコンインターポーザが一般的であるが、さらなる低コスト化に向けて有機インターポーザへの関心が高まっている。

しかし、低誘電率 (low-k) ポリマーは表面が平滑であるため、アンカー効果が弱く、金属との密着性が極めて低い。従来の表面粗化や化学的修飾などのプロセス的アプローチは、高周波損失の増加や工程の複雑化といった欠点を持つ。そこで本研究では、図 1 に示す有機インターポーザのブリッジ構造部において、材料開発や複雑な表面処理を必要としない設計アプローチとしてメッシュグラウンドを導入した。この手法は、密着性を向上させるだけでなく、金属密度の低減を通じて反り (warpage) の抑制にも寄与する [1]。

本報告では、メッシュグラウンド構造の電気的特性に焦点を当て、メッシュの充填率を変化させることでキャパシタンスを調整可能であること、ならびにその結果としてインピーダンス制御が可能となる点など、特徴的な電気的機能性について評価した結果を報告する。

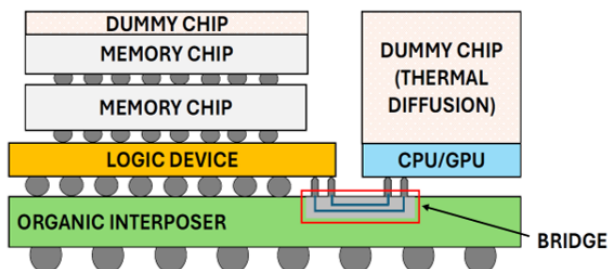


図 1 有機インターポーザに組み込まれる
メモリと CPU 間を繋ぐブリッジ構造部

メッシュグラウンドを適用するブリッジ構造部は、シリコン基板(厚さ 380 μm 、導電率 2 S/m)上に low-k 誘電体層を積層した構造である。パターンの角における応力集中を最小限に抑えて信頼性を最優先するため[2]、メッシュの形状には円形ユニットセルを採用した[3-4]。製造上の制約を考慮し、ピッチは 25 μm 、メッシュ穴間の最小間隔は 4 μm とした。

多層インターポーザ内におけるメッシュグラウンドの影響を評価するため、厚さ 1 μm の誘電体層上に、線幅 6 μm の単純な 50 Ω ストリップ線路 (銅厚 0.5 μm 、線路長 1 mm) を構築し、0.1-10.1 GHz の範囲でシミュレーションを行った。誘電体材料には、ポリミド 20 GHz で誘電率 2.8、誘電正接 0.0067 を使用した。最低のクロストーク条件を模倣するため、信号線はメッシュ穴の直上に配置した。

図 2 は、ソリッドグラウンドと比較して、充填率の異なるメッシュグラウンド上のストリップ線路のインピーダンス特性を示している。金属充填率が低下するメッシュグラウンドを用いると、インピーダンス値が上昇することが確認された。これは、信号線とグラウンド間のキャパシタンスの減少に加え、リターンパスが長くなることによるインダクタンスの増加に起因し、その結果として特性インピーダンスが上昇したためと考えられる。

挿入損失としては、メッシュ充填率 74% の条件では、ソリッドグラウンド (充填率 100%) とほぼ同等の損失となった。一方で、充填率 50% のメッシュグラウンドでは特性インピーダンスが 50 Ω に近づき整合が取れたため、10 GHz において 0.35 dB という低い挿入損失が得られた。

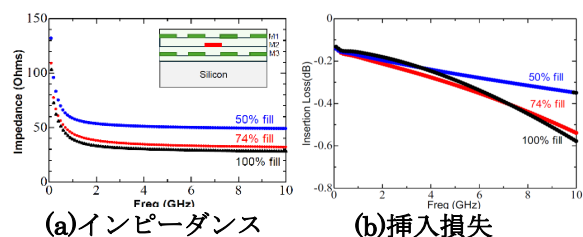


図 2 ブリッジ構造部の電気的特性

2. 解析条件及び結果

2.1. 電気的設計およびシミュレーション

2.2. UC1e 規格に基づくシグナルインテグリティ解析

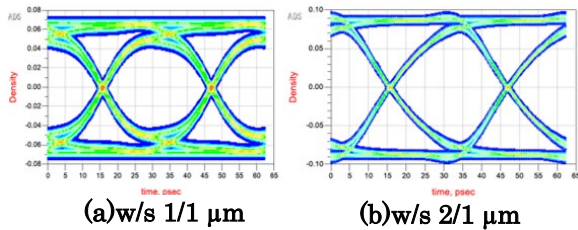
複数のダイを接続する実用的な検証として、1つのUC1eモジュール(x64バージョン, 計156本の信号線, チャンネル長2mm)を想定し[5], 4層のマイクロストリップ線路構造[6-7]を設計した。層間の誘電体厚は1μmである。評価は, 表1に基づいてUC1e規格に準拠し, 最も影響の大きい配線に対してクロストークを含めて行った。

表 2 VTF 損失とクロストークの仕様

Data rate (Gbps)	4,6,8,12,16	24,32
VTF loss (dB)	$L(f_0) > -3$	$L(f_0) > -5$
VTF crosstalk (dB)	$XT(f_0) < 1.5L(f_0) - 21.5$ and $XT(f_0) < -23$	$XT(f_0) < 1.5L(f_0) - 19$ and $XT(f_0) < -24$

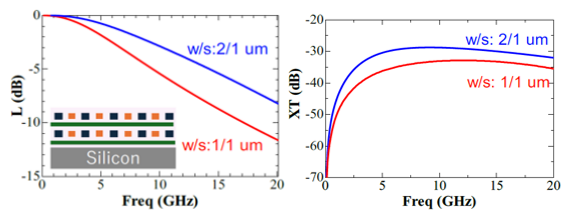
2.2.1 ソリッドグラウンドの場合

VTFのクロストークとアイパターンについては, 配線幅/スペース(w/s)が1/1μmと2/1μm共に表1の32Gbpsの仕様を満たしているが(図3(a)(b)(d)), w/sが1/1μmの場合, VTF損失が規格 $L(f_0) > -5$ dBを満たすのは9.4GHz以下にとどまり, レーンあたり18Gbpsのデータレートしか, 達成できなかった。これに対し, 配線幅を2μmにし, w/s=2/1μmに拡張したところ, VTF損失が大幅に改善され, 14.3GHz約29Gbpsまで規格を満たすことが可能となった(図3(c))。



(a)w/s 1/1 μm (b)w/s 2/1 μm

G-S インターコネクットのアイダイアグラム



(c)VTF 損失 (d)G-S インターコネクットの VTF クロストーク

図 3 マイクロストリップ線路構造 (ソリッドプレーン)

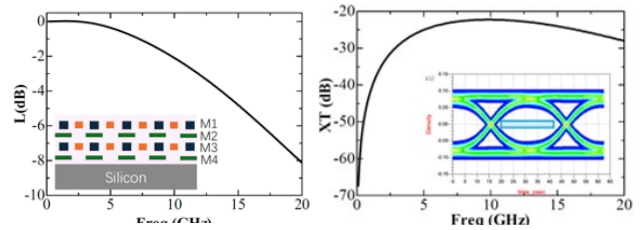
2.2.2 メッシュグラウンドプレーンの場合 (充填率 76%)

VTF損失の改善としてメッシュグラウンドを導入した場合, VTF損失はソリッドグラウンドよりもわずかに改善し, 最大31Gbpsのデータレートまで規格をクリアした。

これは, シミュレーションにおいて20個のチャンネルが2つのメッシュグラウンド(M2層とM4層)に分散配置されたことに起因すると考えられる。M2層とM4層のメ

ッシュグラウンドは互いに接続されて並列回路を形成するため, リターンパス全体の抵抗値がソリッドグラウンド伝送時よりも低下し, 結果として伝送損失が抑制された。一方で, メッシュ穴を介した上下層間での電磁結合(カップリング)により, VTFクロストーク特性は大幅に悪化した。規格を満たせる周波数は6GHzデータレート換算で12Gbps以下に制限された。

このメッシュグラウンド起因のクロストークを改善するためには, 配線層間の誘電体厚を増して結合を弱めるか, メッシュの金属充填率を高めるか, あるいは配線層数を増やすリスクを受け入れて配線ピッチ(間隔)を広げる必要がある。



(a)VTF 損失 (b)VTF クロストーク

図 4 マイクロストリップ線路構造 (メッシュグラウンド)

3. 考察及び今後の展開

本研究では, 有機インターポーザにおける配線の電気特性に対するメッシュグラウンドの影響を評価した。先行研究により, メッシュ設計が構造的な密着性を向上させることが示されている。単純な伝送線路構造(ストリップ線路)においては, 金属充填率を変化させることで特性インピーダンスの調整が可能であることを確認した。さらに, 高密度配線への適用についても検討し, UC1e規格に対する信号品質を評価した。

その結果, 最大32GbpsのUC1e仕様を完全に満たすためには, 誘電体厚や配線ピッチの調整といったさらなる構造最適化が不可欠であることが明らかとなった。

【謝辞】

この研究は次世代電子実装システム技術研究会 (NEP STECH) の研究開発プロジェクトによって実施した。

【参考文献】

1. W. Feng, Y. Y. Lim, S. Nemoto., *JJAP*, vol.65, no.5, 05SP23, 2026.
2. S.H. Wong et al., *IEEE Trans. UFFC*, vol. 55, no. 9, pp. 2053-3065, 2008.
3. Y.Y. Lim, S. Nemoto, *Proc. IEEE EPTC*, pp. 364-370, 2024.
4. Y.Y. Lim, S. Nemoto, *Proc. IEEE EDAPS*, 2025.
5. *Universal Chiplet Interconnect Express (UC1e) Specification-Revision 1.1*, Ver 1.0, July 10, 2023.
6. M.D. Rotaru, *Proc. EPTC*, pp. 392-396, 2024.
7. S-F Yang et al., *Proc. ECTC*, pp. 1098-1103, 2024.

【外部発表】 口頭発表 1件, 招待講演 1件