

第5回  
次世代電子実装システム技術講演会

2023年

5/19

金

15:00 - 17:05

会場定員

30名 KISTEC 海老名本部  
カンファレンスルーム

オンライン定員

100名

対象

当該テーマに関心のある方は  
どなたでもご参加いただけます

多様化するMore than Mooreの電子デバイスシステム集積技術に向けて、近年の先端実装技術の産業分野への展開、2.3D有機インターポーザ技術紹介および次世代実装技術の産官学連携開発体制構築を目指した研究会の情報を提供します。

15:00-15:05

オープニング 青柳 昌宏 卓越教授 熊本大学 半導体・デジタル研究機構 半導体部門

15:05-15:55

チップレット集積技術



講師：栗田 洋一郎 特任教授 東京工業大学 科学技術創成研究院

半導体集積回路の微細化限界が近づくのに伴い、チップレット集積技術は、素子集積規模のスケールアウトやデバイス構造の最適化、フォン・ノイマンボトルネックの解消、フレキシブルな異種集積など従来の集積回路技術の課題を解決する技術として期待されています。これまでの三次元集積技術の研究の歴史を踏まえながら、チップレット集積技術の最新動向、およびチップレット集積プラットフォーム・コンソーシアムでの活動状況についてお話いたします。

プロフィール

東京工業大学卒業（1994年）、東京工業大学大学院修士課程修了（1996年）、NEC（日本電気：1996-2002年）、NECエレクトロニクス（2002-2010年）、ルネサスエレクトロニクス（2010-2012年）、東芝（2012-2021年）、東京工業大学（2021-現在）博士（工学・東京工業大学）

15:55-16:45

有機インターポーザを用いた2.3D構造基板の開発

昨今、半導体チップの低コスト化および集積回路のシステム高機能化実現のため、チップレットやヘテロジニアスインテグレーションに対応する高集積の半導体パッケージが求められるようになってきており、今後、1つの半導体パッケージに搭載する半導体チップの数が増加してゆくことが見込まれます。その需要に応えるべく、従来の半導体パッケージ基板と比較し集積度の向上を目的とした当社の開発事例を紹介いたします。

講師：坂口 勇太氏

新光電気工業株式会社  
開発統轄部 プロセス開発部 主任研究員

16:45-16:50 次世代電子実装システム技術研究会の取り組みについて

次世代実装技術の産官学連携開発体制構築を目指した研究会の情報を紹介します。

根本 俊介

KISTEC 電子技術部 電子デバイスグループ

16:50-17:00

総合質疑

17:00-17:05

エンディング 三橋 雅彦 KISTEC 電子技術部

参加申し込みは、[sm-electronic\\_devices\\_g@kistec.jp](mailto:sm-electronic_devices_g@kistec.jp)へ  
詳しくはメール本文をお読みください。

次世代実装システム技術研究会  
<https://www.kistec.jp/nepstech/report/>お問い合わせ：電子技術部 電子デバイスグループ 根本俊介 E-mail: [sm-electronic\\_devices\\_g@kistec.jp](mailto:sm-electronic_devices_g@kistec.jp)

主催：地方独立行政法人神奈川県立産業技術総合研究所 (KISTEC)